

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07050648 A

(43) Date of publication of application: 21.02.95

(51) Int. Cl.
H04J 3/22
H04J 3/00
H04N 7/08
H04N 7/081

(21) Application number: 05195868

(22) Date of filing: 06.08.93

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: MIZUGUCHI YUJI
MATSUMOTO KOJIRO
SATO KENSUKE

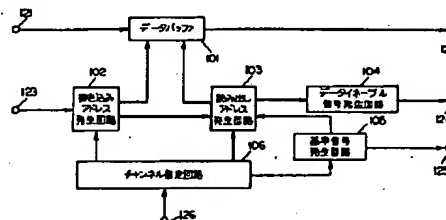
(54) MULTIPLE CHANNELS ASYNCHRONOUS
SIGNAL MULTIPLEX TRANSMITTER

(57) Abstract:

PURPOSE: To enable the multiplexing of plural asynchronous signals without enlarging the scale of a device.

CONSTITUTION: This device is provided with a data buffer 101 storing and transmitting a multiple channels asynchronous signal, a writing address generation circuit 102 designating the area of the data buffer where the signal of each channel of this multiple channels asynchronous signal is stored and a reading address generation circuit 103 generating a reading address value for dividing the multiple channels asynchronous signal stored in the data buffer into time slots each channel and transmitting the slots A pulse showing the presence or absence of read data and a pulse showing the reference phase of the time slots are outputted at the same time of a data output.

COPYRIGHT: (C)1995,JPO



Best Available Copy

Kokai No. 7-50648

<Claim 1>

A multi-channel asynchronous signal multiplex transmission apparatus comprising a data buffer which stores and outputs multi-channel asynchronous signals, a writing address generator circuit which generates a writing address to designate an area of the data buffer in which a signal of the multi-channel asynchronous signals in each channel is stored, a reading address generator circuit which generates a reading address to split the multi-channel asynchronous signals stored in the data buffer into time slots for each channel and transmits the same, a data enable signal generator circuit which outputs a pulse which represents the presence or absence of the read data output from the data buffer, and a reference signal generator circuit which outputs a pulse to define a reference phase of the time slots.

<0003>

However, the bit rate of the image signal which has been subjected to band compression is not always constant, and to this end, a structure as shown in Fig. 5 has been conceived to multiplex the multi-channel image signals. The outputs of a plurality of different signal sources 501-1 to 501-n are respectively input to the data buffers 502-1 to 502-n whose outputs are supplied to the switching circuit 505. The switching circuit 505 is controlled by a control circuit 504 having a signal generating source different from the signal sources 501-1 to 501-n. The multiplexing of the plural asynchronous signals can be effected by multiplexing the data stored in the data buffers 502-1 to 502-n and the synchronizing signals supplied from the synchronizing signal generator circuits 503-1 to 503-n. Alternatively, the multiplexing of the asynchronous signals of plural channels can be realized by packet-multiplexing the packet outputs of the data buffers 502-1 to 502-n.

In Fig. 1,

101 ... data buffer, 102 ... writing address generator
circuit, 103 ... reading address generator circuit, 104 ...
data enable signal output terminal, 105 ... reference signal
generator circuit, 106 ... channel designating circuit,

121 ... multi-channel asynchronous signal input terminal,
122 ... writing address generator circuit, 123 ... reference
signal input terminal, 124 ... data enable signal
generator circuit, 125 ... reference signal output
terminal, 126 ... designated signal input terminal,

In Fig. 5,

501-1, 501-2, ..., 501-n ... signal source, 502-1, 502-2, ...,
502-n ... data buffer, 503-1, 503-2, ..., 503-n ...
synchronizing signal generator circuit, 504 ... control
circuit, 505 ... switching circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50648

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/22		9299-5K		
		3/00		
H 0 4 N 7/08		M 8226-5K		
		7/081		
		6942-5C		
			H 0 4 N 7/08	Z
			審査請求 未請求	請求項の数4 O L (全6頁)

(21) 出願番号 特願平5-195868

(22) 出願日 平成5年(1993)8月6日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 水口 裕二

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 松本 光二郎

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 佐藤 健輔

大阪府門真市大字門真1006番地 松下電器産業株式会社内

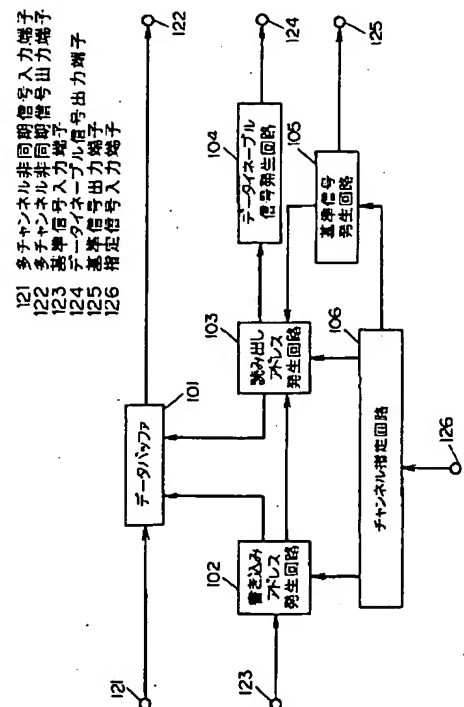
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 多チャンネル非同期信号多重伝送装置

(57) 【要約】

【目的】 装置の規模を大きくすることなく、複数の非同期信号の多重化を可能とする。

【構成】 多チャンネル非同期信号を格納し送出する1つのデータバッファ101と、この多チャンネル非同期信号の各チャンネルの信号が格納されるデータバッファの領域を指定する書き込みアドレス発生回路と102、データバッファに格納されている多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路103とを設け、データ出力と同時に読み出しデータの有無を示すパルスと、タイムスロットの基準位相を示すパルスを出力する。



【特許請求の範囲】

【請求項1】多チャンネル非同期信号を格納し送出するデータバッファと、前記多チャンネル非同期信号の各チャンネルの信号が格納される前記データバッファの領域を指定するための書き込みアドレス値を発生する書き込みアドレス発生回路と、前記データバッファに格納されている前記多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路と、前記データバッファの出力である読み出しデータの有無を示すパルスを出力するデータイネーブル信号発生回路と、前記タイムスロットの基準位相となるパルスを出力する基準信号発生回路とを備えたことを特徴とする多チャンネル非同期信号多重伝送装置。

【請求項2】書き込みアドレス発生回路の発生する書き込みアドレス値によって決定されるデータバッファの領域と、読み出しアドレス発生回路の発生する読み出しアドレス値によって決定される多チャンネル非同期信号の各チャンネルごとのタイムスロットを指定するチャンネル指定回路を備えたことを特徴とする請求項1記載の多チャンネル非同期信号多重伝送装置。

【請求項3】書き込みアドレス発生回路が、平滑化回路とアドレスカウンタによって構成されることを特徴とする請求項2記載の多チャンネル非同期信号多重伝送装置。

【請求項4】データバッファに書き込まれる多チャンネル非同期信号が、帯域圧縮された映像信号及び音声信号からなることを特徴とする請求項3記載の多チャンネル非同期信号多重伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多チャンネルの動画像や音声などの時系列データを伝送するための多チャンネル非同期信号多重伝送装置に関する。

【0002】

【従来の技術】近年、映像ソースが豊富になり、CATVなどによる映像サービスがさかんに行われている。また、映像信号や音声信号の圧縮技術の急速な進歩と国際標準化(MPEG等)の進展、蓄積メディアの容量の向上およびISDNに代表されるデジタル通信の普及に伴い、デジタル通信ネットワークによる動画像情報のサービスが実現可能となってきた。

【0003】しかし、帯域圧縮された映像信号のビットレートは必ずしも一定ではなく、多チャンネルの映像信号を多重化するには、従来、図5に示すような構成が考えられている。まず、発信源の異なる複数の信号源501-1~501-nの各出力は、それぞれデータバッファ502-1~502-nに入力され、このデータバッファ502-1~502-nの出力が切り換え回路505に入力される。

【0004】切り換え回路505は、各信号源501-1~501-nとは異なる発信源を有する制御回路504によって制御され、各データバッファ502-1~502-nに格納されているデータと同期信号発生発生回路503-1~503-nから出力される同期信号とを多重化することにより、複数の非同期信号の多重化を可能としている。または、データバッファ502-1~502-nの出力をそれぞれパケット化しパケット多重することで、複数チャンネルの非同期信号の多重化を実現している。

【0005】

【発明が解決しようとする課題】しかしながらこの従来の方式によると、信号源501-1~501-nの多重化を行う際、データバッファ502-1~502-nが信号源の数(この場合n個)だけ必要となってくる。また、信号源501-1~501-nからデータバッファ502-1~502-nへの信号線の数及びデータバッファ502-1~502-nから切り換え回路505への信号線の数が、多重化するチャンネルが多ければ多いほど増加してしまい、伝送装置の規模が大きくなってしまいうという不都合があった。

【0006】本発明は前記課題に留意し、装置の規模を大きくすることなく、複数チャンネルの非同期信号の多重化を実現することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の多チャンネル非同期信号多重伝送装置は、多チャンネル非同期信号を格納し送出する1つのデータバッファと、この多チャンネル非同期信号の各チャンネルの信号が格納されるデータバッファの領域を指定する書き込みアドレス発生回路と、データバッファに格納されている多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路と、読み出しデータの有無を示すパルスを出力するデータイネーブル信号発生回路と、タイムスロットの基準位相となるパルスを出力する基準信号発生回路によって構成される。

【0008】

【作用】この発明によれば、1つのデータバッファの領域をチャンネルごとに分割し、各チャンネルの非同期データをそれぞれの領域に格納し、この格納されたデータを各チャンネルごとにタイムスロットに分割して送出する。また時折このデータバッファの各チャンネルの領域のデータ以外のデータ(ダミーデータ)を読み出し、同時に読み出しデータの有無を示すパルスをデータイネーブル発生回路によって出力することにより、簡単な構成で多チャンネルの非同期信号を多重化させるものである。

【0009】

【実施例】以下本発明の実施例の多チャンネル非同期信

号多重伝送装置について、図面を参照しながら説明する。図1は本発明の一実施例における多チャンネル非同期信号多重伝送装置のブロック図を示すものである。

【0010】図1において、101は多チャンネル非同期信号を格納し送出するデータバッファ、102は多チャンネル非同期信号の各チャンネルの信号が格納されるデータバッファ101の領域を指定するための書き込みアドレス値を発生する書き込みアドレス発生回路、103はデータバッファ101に格納されている前記多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路、104はデータバッファの出力である読み出しデータの有無を示すパルスを出力するデータタイネブル信号発生回路、105はタイムスロットの基準位相となるパルスを出力する基準信号発生回路である。

【0011】また、121は多チャンネル非同期信号入力端子、122は多チャンネル非同期信号出力端子、123は基準信号入力端子、124はデータタイネブル信号出力端子、125は基準信号出力端子であり、書き込みアドレス発生回路102の発生した書き込みアドレス値と読み出しアドレス発生回路103の発生した読み出しアドレス値はデータバッファ101に入力される。また、データタイネブル信号発生回路104と基準信号発生回路105にも読み出しアドレス発生回路103の発生した読み出しアドレス値が入力される。

【0012】以上のように構成された多チャンネル非同期信号多重伝送装置について、以下図1を用いてその動作を説明する。

【0013】まず、図1において、多チャンネル非同期信号入力端子121より入力多チャンネル非同期信号が入力される。また同時に基準信号入力端子123より入力基準信号が入力される。この入力基準信号は入力多チャンネル非同期信号のチャンネル番号やデータ数やデータの先頭を示す複数のパルスである。この入力基準信号が書き込みアドレス発生回路102に入力されることにより、書き込みアドレス発生回路102は各チャンネルの信号が格納されるべきデータバッファ101の領域の書き込みアドレス値を出し、入力多チャンネル非同期信号はデータバッファ101のそれぞれの領域に格納される。また書き込みアドレス発生回路102の出力した書き込みアドレス値は読み出しアドレス発生回路103にも入力される。

【0014】一方、読み出しアドレス発生回路103は、データバッファ101に格納されている多チャンネル非同期信号をチャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生するのであるが、この時書き込みアドレス発生回路102の出力した書き込みアドレス値によって各チャンネルの書き込みのデータ量を検出し、データを平滑化して出力する読

み出しアドレス値を発生する。

【0015】即ち、データバッファ101の各チャンネルの領域のデータ以外のデータ（ダミーデータ）を時折読み出す。この時の読み出しアドレス値にはデータとは無関係の読み出しアドレス値が入り、そのチャンネルのタイムスロットにはダミーデータ（データ無し）が存在することになる。

【0016】次に、データタイネブル信号発生回路104は読み出しアドレス発生回路103の出力と接続されており、読み出しアドレス発生回路103の発生した読み出しアドレス値を検出し、データの有無を示すデータタイネブル信号を出力する。このデータタイネブル信号によって、データとダミーデータとを区別させる。

【0017】基準信号発生回路105は、読み出しアドレス発生回路103にタイムスロットの基準となる基準信号（1チャンネル目を示す信号）を出力する。この基準信号によって読み出しアドレス発生回路103は読み出しアドレス値を発生する。基準信号発生回路105はnチャンネルのデータを多重化する際には、n進カウンタで簡単に実現できる。

【0018】ここで読み出しアドレス発生回路103とデータタイネブル信号発生回路104について、図2を用いて説明する。

【0019】図2は、本実施例の多チャンネル非同期信号多重伝送装置における読み出しアドレス発生回路103とデータタイネブル信号発生回路104のブロック図を示すものであり、201は平滑化回路、202はアドレスカウンタ、211は書き込みアドレス入力端子、212は基準信号入力端子、213は読み出しアドレス出力端子、214はデータタイネブル信号出力端子である。

【0020】以上のように構成された本実施例の動作について説明すると、まず、アドレスカウンタ202は常に一定の速度で読み出しアドレスを出力するが、書き込みアドレスは読み出しアドレスとは非同期のものである。ここで、平滑化回路201は、書き込みと読み出しのデータ数の整合を行う必要がある。そこで平滑化回路201は、書き込みアドレス入力端子211から入力される書き込みアドレス値によりデータ数を把握し、期間内の読み出しに対する書き込みの不足数分のパルスを出力する。

【0021】このパルスが、書き込みのデータと読み出しのデータ数の差分を吸収するデータタイネブル信号であり、データタイネブル信号出力端子214より外部に出力される。このデータタイネブル信号は、この多チャンネル非同期信号多重伝送装置の次に接続される装置におけるバッファリングを考慮して、平滑化回路201で分散されているのが望ましい。

【0022】次に、平滑化回路201からのデータタイネブル信号をアドレスカウンタ202のカウントイネー

ブル端子に入力することにより、データ読み出しを行わない場合（データイネーブル信号=Lowの時）、アドレスカウンタ202は出力の読み出しアドレス値を保持することになる。この時の読み出しデータがダミーデータである。

【0023】基準信号入力端子212から入力される基準信号は、前述したタイムスロットの基準となる（1チャンネル目を示す）ものであり、平滑化回路201やアドレスカウンタ202はこの信号を基準として動作する。

【0024】また、図1において、書き込みアドレス発生回路102と読み出しアドレス発生回路103とが同一のアドレスマップを保有し、チャンネル指定回路106を設けることにより、書き込みアドレス発生回路102の発生する書き込みアドレス値によって決定されるデータバッファ101の各チャンネルの領域と、読み出しアドレス発生回路103の発生する読み出しアドレス値によって決定される多チャンネル非同期信号の各チャンネルごとのタイムスロットとを外部より指定することができる。図3にアドレスマップの概念図を示す。

【0025】図3において、アドレスマップはデータバッファの領域を示すものである。まず、図1において、指定信号入力端子126より、各チャンネルの信号を書き込むデータバッファの領域とタイムスロットの割り当てを示すチャンネル指定信号がチャンネル指定回路106に入力される。チャンネル指定回路106はメモリを保有し、そのチャンネル指定の情報を保持し、指定されたチャンネルごとのデータバッファ101の領域を、書き込みアドレス発生回路102と読み出しアドレス発生回路103に通知する。また読み出しアドレス発生回路103にチャンネルごとの読み出しデータのタイムスロットの割り当てを通知する。

【0026】書き込みアドレス発生回路102はアドレスマップに示された領域に各チャンネルの信号を書き込むための書き込みアドレスを発生し、読み出しアドレス発生回路103はアドレスマップと書き込みアドレス発生回路102からの書き込みアドレス値により、各チャンネルの信号の格納されている領域と指定されたタイムスロットに応じて、読み出しアドレスを発生する。

【0027】また指定信号入力端子126から随時チャンネル指定回路106にチャンネル指定信号を送出することで、アドレスマップを自由に再編成することができ、データバッファ101の読み出しデータのタイムスロットを臨機応変に任意に設定することが可能である。

【0028】最後に図4は本実施例の多チャンネル非同期信号多重伝送装置における入出力信号の概念図を示すものである。401はデータバッファ、421は入力多チャンネル非同期信号、422は出力多チャンネル非同期信号、424は出力データイネーブル信号、425は

出力基準信号である。

【0029】図4の入力多チャンネル非同期信号421は入力多チャンネル信号の一形態であり、各チャンネルのデータはバースト的に入力され、そのデータレートは一致しておらず非同期であることを示している。データバッファ401の領域は各チャンネル毎に分割されている。出力多チャンネル非同期信号422はチャンネルごとにタイムスロット分割されてデータバッファ401から出力されていることを示す。出力データイネーブル信号424は、Highでデータが存在することを、Lowでデータが存在しない（ダミーデータが存在する）ことを示し、出力基準信号425は1チャンネル目を表すパルスである。

【0030】以上のようにこの実施例によれば、多チャンネル非同期信号を格納し送出するデータバッファ101と、この多チャンネル非同期信号の各チャンネルの信号が格納されるデータバッファ101の領域を指定する書き込みアドレス発生回路102と、データバッファ101に格納されている多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路103と、この読み出しアドレス値を検出し読み出しデータの有無を示すパルスを出力するデータイネーブル信号発生回路104と、読み出しアドレス値を検出しタイムスロットの基準位相を示すパルスを出力する基準信号発生回路105を設けることにより、簡単な構成で多チャンネルの非同期信号を多重化することができる。

【0031】なお、この実施例において処理される信号については特にふれなかったが、シリアルデータであっても数ビットのバス形式のデータであっても、同様の処理により、簡単に多チャンネルの非同期信号を多重化することができる。また、データバッファに書き込まれる多チャンネル非同期信号が、帯域圧縮された映像信号及び音声信号からなる信号であってもよい。

【0032】

【発明の効果】以上のようにこの発明は、多チャンネル非同期信号を格納し送出する1つのデータバッファと、この多チャンネル非同期信号の各チャンネルの信号が格納されるデータバッファの領域を指定する書き込みアドレス発生回路と、データバッファに格納されている多チャンネル非同期信号を各チャンネルごとにタイムスロットに分割して送出するための読み出しアドレス値を発生する読み出しアドレス発生回路と、この読み出しアドレス値を検出し読み出しデータの有無を示すパルスを出力するデータイネーブル信号発生回路と、タイムスロットの基準位相となるパルスを出力する基準信号発生回路を設けることにより、簡単な構成で多チャンネルの非同期信号を多重化することができ、低コストな装置が実現可能となる。

【図面の簡単な説明】

【図1】本発明の多チャンネル非同期信号多重伝送装置の一実施例を示すブロック図

【図2】同実施例の読み出しアドレス発生回路とデータイネーブル信号発生回路を示すブロック図

【図3】アドレスマップの概念図

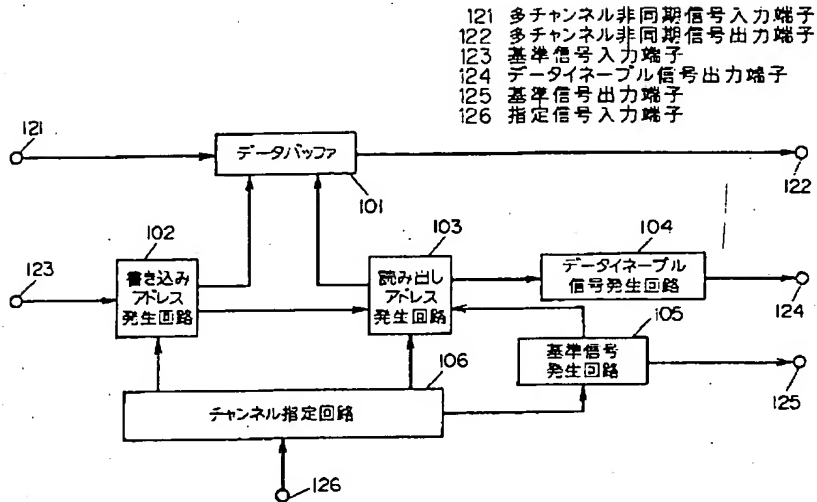
【図4】同実施例の入出力信号の概念図

【図5】従来の多チャンネル非同期信号多重伝送装置のブロック図

【符号の説明】

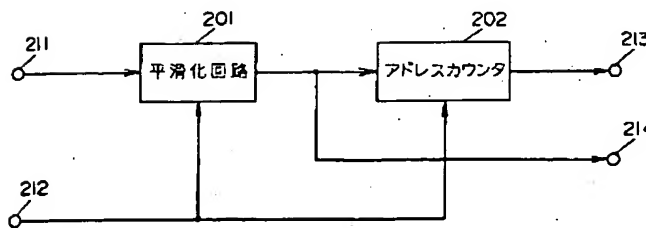
- 101 データバッファ
102 書き込みアドレス発生回路
103 読み出しアドレス発生回路
104 データイネーブル信号発生回路
105 基準信号発生回路
106 チャンネル指定回路

【図1】



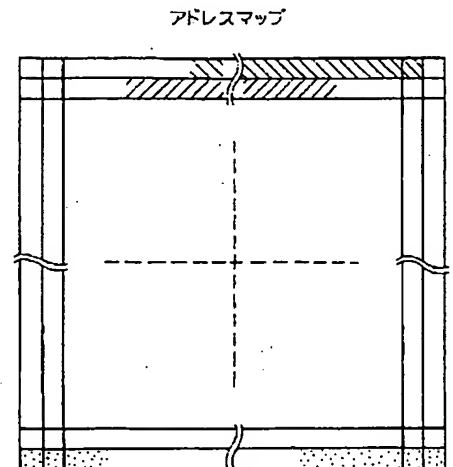
【図2】

- 211 書き込みアドレス入力端子
212 基準信号入力端子
213 読み出しアドレス出力端子
214 データイネーブル信号出力端子

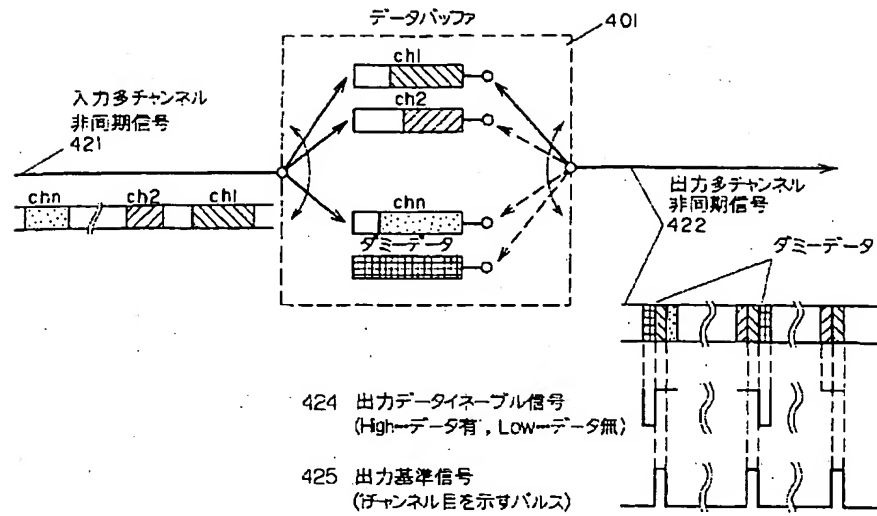


【図3】

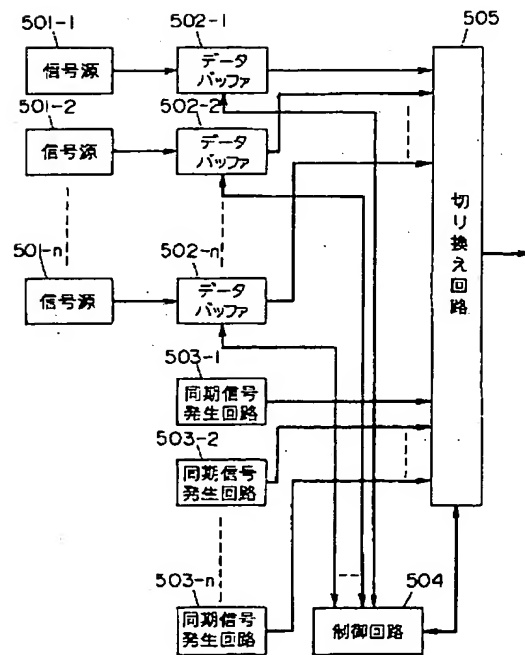
- 1チャンネル目のデータ(ch1)
2チャンネル目のデータ(ch2)
nチャンネル目のデータ(chn)



【図 4】



【図 5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked.

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.